



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09045764 A

(43) Date of publication of application: 14.02.97

(51) Int. Cl.  
H01L 21/768  
H01L 21/28  
H01L 21/3205

(21) Application number: 07190151

(22) Date of filing: 26.07.95

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

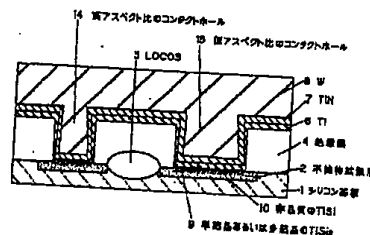
(72) Inventor:  
HIRAO HIDEJI  
NISHIWAKI TORU  
ISHIDA TETSUO  
HARADA TAKASHI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

## (57) Abstract

**PROBLEM TO BE SOLVED:** To form a high-melting-point metallic silicide in the bottom portion of the opening portion of a semiconductor device without increase of its resistance and its junction leakage.

**SOLUTION:** A manufacturing method comprises a process for forming titanium 6 both on the inner wall and bottom surface of an opening portion 5 on an insulation film 4 on a silicon substrate 1 and on the insulation film 4 itself, a process for forming in succession titanium nitride 7 and tungsten 8 on the formed titanium 6 including the one inside the opening portion 5 in the temperature region wherein the formed titanium 6 and the silicon substrate 1 are not monocrystallized or polycrystallized by them reacting on each other, and a process for monocrystallizing or polycrystallizing at least one portion of the formed titanium 6 by a heat treatment.



COPYRIGHT: (C)1997,JPO

特開平9-45764

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	FI	技術表示箇所
H01L 21/768			H01L 21/90	C
21/28	301		21/28	301T
21/3205			21/88	301R
				R

審査請求 未請求 請求項の数6 OL (全8頁)

(21) 出願番号 特願平7-190151

(22) 出願日 平成7年(1995)7月26日

(71) 出願人 00005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 平尾 秀司

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 西脇 徹

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 石田 哲夫

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 弁理士 滝本 智之 (外1名)

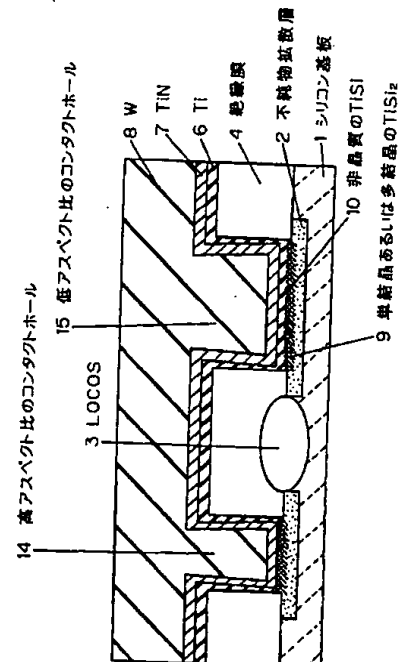
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

## (57) 【要約】

【目的】 開口部底部において、抵抗上昇・接合リークなく高融点金属シリサイドを形成する。

【構成】 シリコン基板1上の絶縁膜4に形成された開口部5の内壁、底面及び絶縁膜4上にチタン6を形成する工程と、チタン6とシリコン基板1が反応により単結晶化あるいは多結晶化しない温度領域で開口部5内部を含むチタン6上に窒化チタン7とタンゲステン8を形成する工程と、少なくともチタン6の一部を熱処理によって単結晶化あるいは多結晶シリサイド化を行なう工程よりなる半導体装置の製造方法。



## 【特許請求の範囲】

【請求項1】トランジスタを有するシリコン基板と、前記シリコン基板上に開口部を有する絶縁膜と、前記開口部の底面において前記シリコン基板に接する単結晶あるいは多結晶構造の高融点金属シリサイド膜と、前記単結晶あるいは多結晶構造の高融点金属シリサイド膜に接する前記高融点金属シリサイドと同一の非晶質の高融点金属シリサイド膜あるいは前記高融点金属と、少なくとも前記開口部内部に形成されている導電膜とを備えていることを特徴とする半導体装置。

【請求項2】半導体基板上に形成された絶縁膜に開口部を形成する工程と、前記開口部の内壁、底面及び前記絶縁膜上に高融点金属を形成する工程と、前記高融点金属と前記シリコン基板の反応により高融点金属シリサイドを形成しない温度領域で少なくとも前記開口部内の前記高融点金属上に導電膜を形成する工程と、その後熱処理によって前記高融点金属の一部を前記シリコン基板と反応させて高融点金属シリサイド膜を形成する工程とを有する半導体装置の製造方法。

【請求項3】半導体基板上に形成された絶縁膜に開口部を形成する工程と、前記開口部の内壁、底面及び前記絶縁膜上に高融点金属を形成する工程と、前記高融点金属と前記シリコン基板の反応により高融点金属シリサイドを形成しない温度領域で少なくとも前記開口部内の前記高融点金属上に導電膜を形成する工程と、ドライエッチングまたは研磨により前記絶縁膜表面の前記導電膜または前記導電膜と高融点金属を除去し開口部内にのみ前記導電膜と前記高融点金属による電極を形成する工程と、その後熱処理によって前記高融点金属の一部を前記シリコン基板と反応させて高融点金属シリサイド膜を形成する工程とを有する半導体装置の製造方法。

【請求項4】高融点金属がチタンであることを特徴とする請求項2または3に記載の半導体装置の製造方法。

【請求項5】導電膜が窒化チタンと前記窒化チタン上に形成されたタングステンからなることを特徴とする請求項2～4いずれかに記載の半導体装置の製造方法。

【請求項6】トランジスタを有するシリコン基板と、前記シリコン基板上に開口部を有する絶縁膜と、少なくとも前記開口部の内部を含む領域に形成された高融点金属のうち前記シリコン基板と接する部分において、前記高融点金属とシリコン基板が反応することにより結晶もしくは多結晶構造の高融点金属シリサイドを形成する半導体装置において、前記開口部の（深さ／直径）の値がウエハ内において一定もしくはウエハ内でのバラツキが±10%以下であることを特徴とする半導体装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置のコンタクト電極及びその製造方法に関するものであり、特に開口部の深さ／直径の比（以降、アスペクト比と呼ぶ）が3

以上の開口部及びアスペクト比の異なる開口部において、安定して低抵抗かつ低接合リーク電流のコンタクト特性を有する半導体装置及びその製造方法を提供するものである。

【0002】

【従来の技術】半導体装置の微細化に伴い、半導体基板と上層配線を接続するための開口部においては、その開口部底部の面積の減少によってその接触抵抗が増大し、半導体装置の特性に影響するようになってきた。その対策として、高融点金属と基板シリコンとを反応させ、開口部底面に高融点金属シリサイドを形成することにより、低抵抗化を図っている（例えば、特開昭63-84024）。この従来のコンタクト形成プロセスについて、図7を用いて説明する。

【0003】図7において、1はシリコン基板、2はシリコン基板1へのAs（砒素）、P（燐）、B（ボロン）等のイオン注入と活性化熱処理により形成された不純物拡散層、4はシリコン基板1上に形成された絶縁膜、5は不純物拡散層2上の絶縁膜4に形成された開口部、6は開口部5内を含む絶縁膜4表面に形成されたチタン（Ti）、7及び8はそれぞれTi上に形成された窒化チタン（TiN）及びタングステン（W）、9はシリコン基板1とTi6の反応によって形成された単結晶あるいは多結晶のチタndaイシリサイド膜（TiSi<sub>2</sub>膜）である。

【0004】まずシリコン基板1上にCVD法によって絶縁膜4を形成し、フォトリソグラフィ技術及びドライエッチング技術を用いて不純物拡散層2領域上に開口部5を形成する（図7（a））。次に、図7（b）に示すように、スパッタ法によりチタン6及び窒化チタン7を順次堆積し、その後図7（c）に示すようにランプアニーラー等を用いた700°C程度の熱処理によって、開口部5底部にTiSi<sub>2</sub>9を形成する。さらに、CVD法によってタングステン8を堆積し、エッチバックによって開口部5以外の部分のタングステン8、窒化チタン7、チタン膜6を除去し、窒化チタン7とタングステン8による電極を形成する（図7（d））。次に、アルミニウム合金配線12を形成し、高信頼性のコンタクトを得る（図7（e））。

【0005】ここでTiは強い還元性があるため、シリコン基板1上の自然酸化膜などを除去する作用がある。通常は、アルミニウム配線形成後の400°C前後のシンター処理によって、Tiはシリコン基板と反応し、非晶質のTiシリサイド（TiSi）を形成、同時に自然酸化膜を除去する。このTiの還元作用によって、Ti/Si界面に存在する自然酸化膜などは、非晶質のTiSi中に取り込まれ、その結果TiSi/Si界面は清浄な界面となり、低抵抗となる。また、p+不純物拡散層においては、TiSi<sub>2</sub>/p+Si接合のバリアハイトがTiSi/p+Siのそれよりも低いため、700

°C程度の熱処理で $TiSi_2$ を形成することにより、さらに低コンタクト抵抗を実現できる。

【0006】図10に、この $TiSi_2$ 形成による $p+$ 不純物拡散層に対するコンタクト抵抗低減の効果を示す。図10において、実線及び点線はそれぞれ $TiSi_2/p+Si$ 及び $Ti/p+Si$ のコンタクト抵抗を示す。図10中の領域(ア)に示されるように、開口部5底部に $TiSi_2$ を形成することによって、コンタクト抵抗が低下していることがわかる。

【0007】ここで、 $n+$ 不純物拡散層については、 $TiSi_2$ の形成によって $TiSi_2/n+Si$ 接合のバリアハイトは高くなり、逆にコンタクト抵抗が上昇する。しかし、それでも $p+$ 不純物拡散層と比べコンタクト抵抗が低いため、問題とはならない。

【0008】

【発明が解決しようとする課題】しかしながら、本発明者らは、上述の従来技術によれば図10中の領域(イ)すなわち開口部のアスペクト比が3以上において、 $TiSi_2/p+Si$ のコンタクト抵抗が急激に増大することを見いだした。

【0009】上記の原因について、図8を用いて説明する。図8において、(a)は $Ti$ 及び $TiN$ 堆積後の断面図、(b)はシリサイド化の熱処理後の断面図、11は凝集したチタンダイシリサイド( $TiSi_2$ )、である。図8において、図7と同一の機能を有するものには同一の符号を付してその詳細な説明を省略する。

【0010】スパッタ法で $Ti_6$ を堆積した場合、図8(a)に示すように、 $Ti$ 膜6は絶縁膜4上に堆積される膜厚に比べ、開口部5の底部では膜厚は薄くなる。この開口部5の底部に堆積される $Ti_6$ の膜厚は、開口部5のアスペクト比が大きくなるに伴い薄くなる。したがって、図8(a)のように $Ti_6$ が薄い状態でシリサイド化の熱処理を行なうと、図8(b)に示すように $TiSi_2$ 形成後、さらに $TiSi_2$ が凝集する。この凝集した $TiSi_2$ 11の形成が、図10の領域(イ)での抵抗上昇の原因と考えられる。この凝集の発生する $Ti$ 厚は、シリサイド化の熱処理条件に依存するが、開口部底部で約10nm以下と考えられる。

【0011】この $TiSi_2$ の凝集現象は、シリサイドプロセスにおいても良く知られており、その対策の一つとして、一般には30nm程度以上の厚い $Ti$ が用いられている。しかし、微細化が進んだ開口部においては、30nm程度の十分に厚い $Ti$ を開口部底部に形成することは困難である。また、一方で $Ti$ が厚すぎても、接合リークが発生するという課題がある。

【0012】この $TiSi_2$ 形成による接合リークの発生を、アスペクト比の異なる開口部が混在する場合について、図9を用いて説明する。図9において、(a)は $Ti$ 及び $TiN$ 堆積後の断面図、(b)はシリサイド化の熱処理後の断面図、3はLOCOS分離、14はアス

ペクト比の大きい開口部、15はアスペクト比の小さい開口部を示している。図9において、図7と同一の機能を有するものには同一の符号を付してその詳細な説明を省略する。

【0013】アスペクト比の大きい開口部14において、良好な特性の得られる膜厚の $Ti_6$ 及び $TiN_7$ をスパッタ法で堆積すると、アスペクト比の小さな開口部15の底部には、アスペクト比の小さい開口部15よりも厚い $Ti$ が堆積される(図9(a))。

【0014】したがって、引続き $TiSi_2$ 形成のための熱処理を行なうと、非常に厚い $TiSi_2$ が形成され、図9(b)のように $TiSi_2$ が不純物拡散層2とシリコン基板1界面の近傍に達し、接合を破壊してしまう。このように、開口部底の $Ti$ 厚が厚くなりすぎても、接合リークが発生してしまうという課題がある。これは、浅い不純物拡散層を有する半導体装置において顕著になる。

【0015】本発明は、上記課題を解決するためになされたものであり、その目的とするところは、開口部底部での $Ti$ 厚が薄い場合でも厚い場合でも、良好なコンタクト特性を得られる半導体装置及びその製造方法を提供することにある。

【0016】

【課題を解決するための手段】本発明の半導体装置は、トランジスタを有するシリコン基板上に形成された絶縁膜の開口部の底部において、前記シリコン基板と高融点金属の接する部分で前記高融点金属の一部を熱処理によって高融点金属シリサイドを形成することにより上記目的が達成される。

【0017】本発明の半導体装置の製造方法は、トランジスタを有するシリコン基板上の絶縁膜に開口部を形成する工程と、少なくとも前記開口部の内部に高融点金属を形成する工程と、前記シリコン基板と前記高融点金属が反応して単結晶あるいは多結晶の高融点金属シリサイドを形成する温度以下で前記開口部内部を含む前記高融点金属上に導電膜を形成する工程と、熱処理によって前記シリコン基板と前記高融点金属を反応させ高融点金属シリサイド結晶もしくは多結晶を形成する工程と、前記開口部上に配線層を形成する工程とを含有し、そのことによって上記目的が達成される。

【0018】本発明の他の半導体装置の製造方法は、シリコン基板上の絶縁膜に開口部を形成する工程と、少なくとも前記開口部の内部に高融点金属を形成する工程と、前記シリコン基板と前記高融点金属が反応して単結晶あるいは多結晶の高融点金属シリサイドを形成する温度以下で前記開口部内部を含む前記高融点金属上に導電膜を形成する工程と、ドライエッチングあるいは研磨等によって前記絶縁膜表面の前記導電膜もしくは前記導電膜と高融点金属を除去し開口部内部にのみ前記導電膜と前記高融点金属による電極を形成する工程と、熱処理に

よって前記シリコン基板と前記高融点金属を反応させ高融点金属シリサイドの単結晶もしくは多結晶を形成する工程と、前記開口部に配線層を形成する工程とを含有し、そのことによって上記目的が達成される。

【0019】本発明の他の半導体装置は、トランジスタを有するシリコン基板上に形成された絶縁膜の開口部の底部において、前記シリコン基板と高融点金属を熱処理によって反応させ、高融点金属シリサイドを形成する際に、開口部の深さ／径の値を一定、もしくは前記深さ／径の値のばらつきを±10%以下とした開口部を有することにより、上記目的が達成される。

【0020】

【作用】本発明の他の半導体装置は、トランジスタを有するシリコン上の絶縁膜に形成された開口部の底部において高融点金属のすべてがシリサイド化していないため、高融点金属シリサイドの凝集は発生せず、また接合の破壊も起こらない。

【0021】本発明の半導体装置の製造方法は、シリコン基板と高融点金属の反応により開口部の底部において単結晶もしくは多結晶構造の高融点金属シリサイドが形成される温度以下で開口部内部に導電膜を形成する。その後熱処理によって高融点金属シリサイドを形成するが、開口部が導電膜で埋め込まれているため、すべてがシリサイド化しないため、前記高融点金属シリサイドの凝集は発生せず、また前記高融点金属の厚さに係らず一定膜厚の高融点金属シリサイドが形成されるため、過度のシリサイド化による接合の破壊も起こらない。

【0022】本発明の他の半導体装置は、絶縁膜の開口部の開口部深さ／開口部径の値が一定もしくはその値のばらつきが±10%以下であるため、高融点金属をスパッタ法あるいはCVD法等で形成した場合に開口部底部での高融点金属の膜厚が各開口部で一定となり、熱処理によって形成される高融点金属シリサイドの膜厚も各開口部で一定であり、接合リークの発生しない電極を形成できる。

【0023】

【実施例】

(実施例1) 以下本発明第1の実施例における半導体装置について、図面を参照しながら説明する。

【0024】図1及び図2は本発明の第1の実施例における半導体装置の断面図である。図1及び図2において、1はトランジスタを有するシリコン基板、2はシリコン基板1へのAs(砒素)、P(燐)及びB(ボロン)等のイオン注入と活性化熱処理で形成された不純物拡散層、3はLOCOS分離、4はシリコン基板1上に形成された絶縁膜、6は開口部内を含む絶縁膜4表面に形成されたチタン(Ti)、7及び8はそれぞれTi上に形成された窒化チタン(TiN)及びタングステン(W)、9はシリコン基板1とTi6の反応によって形成された単結晶及び多結晶のチタンダイシリサイド(TiSi<sub>2</sub>)、10はシリコン基板1とTi6の反応によ

って形成された非晶質のチタンシリサイド膜(TiSi膜)、14はアスペクト比の大きい開口部、15はアスペクト比の小さい開口部である。シリコン基板には、トランジスタが既知の方法によって形成されているが、図1中では省略している。この点については、後述する図3、図4、図5についても同じである。

【0025】図1及び図2において、従来例による課題を説明した図8及び図9との相違点は、開口部14及び15の底部のすべてのTi6がTiSi<sub>2</sub>にならず、ほぼ一定の膜厚のTiSi<sub>2</sub>膜とTi及び非晶質のTiSiで構成されていることである。

【0026】したがって、図9に示される従来例のように底部においてTiの膜厚が異なる開口部14及び15が存在しても、Tiの一部のみがTiSi<sub>2</sub>となるため、TiSi<sub>2</sub>は厚くは形成されず、結果的には接合の破壊の発生を防止することができる。

【0027】また、図8のように開口部底部のTiの膜厚が薄い場合においても、凝集反応まで至らないため、コンタクト抵抗の上昇は発生しない。

【0028】(実施例2) 以下本発明第2の半導体装置の製造方法について図面を参照しながら説明する。

【0029】図3は本発明の半導体装置の製造方法を説明する工程断面図である。図3において、図1と同一の機能を有するものには同一の符号を付してその詳細な説明を省略する。

【0030】図3(a)に示されるように、シリコン基板1上にAs、P及びB等の不純物をイオン注入し、活性化のための熱処理を行い、不純物拡散層2を形成する。そして、シリコン基板1上に絶縁膜4を堆積し、フォトリソグラフィ及びドライエッチング技術を用いて開口部5を形成する。

【0031】次に、スパッタ法によってチタン(Ti)6を堆積する(図3(b))。引き続き図3(c)に示すように、スパッタ法によって窒化チタン(TiN)7を堆積し、化学気相成長法(CVD法)によってタングステン(W)8を堆積する。

【0032】ここで、Ti6、TiN7及びW8は、Ti6とシリコン基板1の反応によって単結晶あるいは多結晶のTiSi<sub>2</sub>を形成する温度である約500℃以下で形成し、TiSi<sub>2</sub>の形成を防止する。なぜなら、Ti形成中もしくは形成後に、約500℃以上に加熱されると、Ti6はシリコン基板1とシリサイド化反応し、TiSi<sub>2</sub>を形成する。その結果として、TiSi<sub>2</sub>9の凝集や接合破壊を引き起こすからである。

【0033】次に、TiN7とW8による金属電極を形成した後、ハロゲンランプなどによってシリコン基板1を少なくとも550℃以上に加熱し、TiSi<sub>2</sub>9を形成する(図3(d))。ここで、Ti6とシリコンとの反応は、まず非晶質のTiSiを形成し、その後シリコ

ン基板1側より $TiSi_2$ の成長が始まる。また、その反応は堆積膨張を伴う反応である。したがって、開口部5を金属電極で埋め込んだ後に熱処理を行うと、 $TiSi_2$ を形成し堆積膨張しようとする力と金属電極で押さえる力が釣り合うところで反応は終了する。このように開口部5の底部のシリコン基板1と接する極薄い範囲のみで $TiSi_2$ が形成され、 $TiSi_2$ の凝集や接合破壊を防止できる。コンタクト抵抗はこの $TiSi_2$ とシリコン基板1との界面で決まるため、抵抗低減の為に極薄い $TiSi_2$ で十分である。

【0034】最後に、 $Ti6$ 、 $TiN7$ 及び $W8$ をパターニングして低抵抗かつ接合リークのない半導体装置を得る。

【0035】ここでは、 $Ti6$ 、 $TiN7$ 及び $W8$ をパターニングして配線を形成したが、ドライエッチングあるいは化学機械研磨(CMP)等によって開口部5内部以外の各膜を除去し、図4に示すようにアルミニウム合金等の低抵抗な金属で配線を形成しても良い。

【0036】(実施例3)以下本発明第3の実施例における半導体装置の製造方法について図面を参照しながら説明する。

【0037】図5は本発明第3の実施例における半導体装置の製造方法を説明する工程断面図である。図5において、図1と同一の機能を有するものには同一の符号を付してその詳細な説明を省略する。

【0038】図5(a)に示されるように、シリコン基板1上に $As$ 、 $P$ 及び $B$ 等の不純物をイオン注入し、活性化のための熱処理を行い、不純物拡散層2を形成する。そして、シリコン基板1上に絶縁膜4を堆積し、フォトリソグラフィ及びドライエッチング技術を用いて開口部5を形成する。

【0039】次に、スパッタ法によってチタン( $Ti$ )6を堆積する(図5(b))。引き続き、図5(c)に示すようにスパッタ法によって窒化チタン( $TiN$ )7を堆積し、化学気相成長法(CVD法)によってタングステン( $W$ )8を堆積する。そして、ドライエッチングあるいは研磨等によって開口部5内部以外の各膜を除去し、 $Ti6$ 、 $TiN7$ 及び $W8$ よりなる金属電極を形成する。ここで、上記の第2の実施例と同様の理由により、 $Ti6$ 、 $TiN7$ 及び $W8$ の堆積温度は、 $500^{\circ}C$ 以下とする。

【0040】そして、開口部5内部に金属電極を形成した後、ハロゲンランプなどによってシリコン基板1を少なくとも $550^{\circ}C$ 以上に加熱し、 $TiSi_2$ を形成する。このようにして、開口部5の底部のシリコン基板1と接する極薄い範囲で $TiSi_2$ が形成される(図5(d))。

【0041】最後に、図5(e)に示すように、アルミニウム合金をパターニングして低抵抗かつ接合リークのない半導体装置を得る。

【0042】以上のように本実施例においても、上記の第2の実施例と同様に開口部5内を $TiN7$ や $W8$ により埋め込んだ後に $TiSi_2$ を形成しているため、 $TiSi_2$ による凝集や接合破壊を防止できる。

【0043】(実施例4)以下本発明第4の実施例における半導体装置について図面を参照しながら説明する。

【0044】図6は本発明の第4の実施例における半導体装置を説明する断面図である。図6において、16は深さが $A\mu m$ で径が $a\mu m$ の開口部(A)であり、17は深さが $B\mu m$ で径が $b\mu m$ の開口部(B)である。図1と同一の機能を有するものには同一の符号を付してその詳細な説明を省略する。

【0045】図6に示されるように、トランジスタ等が形成されているシリコン基板1上の絶縁膜4にフォトリソグラフィ及びドライエッチング技術を用いて開口部16、17が開く。その後、チタン( $Ti$ )、窒化チタン( $TiN$ )、タングステン( $W$ )及びアルミニウム合金配線が形成される。このとき、各開口部の(深さ/径)の値(アスペクト比)が等しく形成されているため(例えば、図6においては、 $A/a=B/b$ である)、スパッタ法やCVD法によって形成された $Ti$ の開口部底での膜厚がほぼ等しくなる。そして、最適な膜厚の $Ti6$ のよって、 $TiSi_2$ を形成することにより、接合リークのない、低抵抗なコンタクトが形成できる。ここで、(深さ/径)の値を一定としたが、実際には試作のばらつきを考慮して、(深さ/径)の値が $\pm 10\%$ 以下であれば良い。

【0046】以上のように、各開口部の(深さ/径)の値の誤差を $10\%$ 如何に揃えることにより、接合リークのない $TiSi_2$ をより確実に形成することができる。

【0047】なお、上記第1の実施例から第4の実施例において、開口部の底部においてシリコン基板と高融点金属の反応により高融点金属シリサイドを形成したが、ポリシリコン配線やタングステンシリサイド( $WSix$ )配線等のシリコンを含有する配線でも良い。

【0048】また、高融点金属を $Ti$ としたが、シリサイドを形成できる $V$ 、 $Cr$ 、 $Fe$ 、 $Co$ 、 $Ni$ 、 $Zr$ 、 $Nb$ 、 $Mo$ 、 $Ru$ 、 $Rh$ 、 $Pt$ 等の高融点金属でも良い。

【0049】

【発明の効果】本発明によれば、少なくとも開口部内部に高融点金属を形成し、単結晶あるいは多結晶シリサイドが形成される温度以下で開口部内部を金属電極で埋め込んだ後、熱処理によって単結晶あるいは多結晶高融点金属シリサイドを形成することにより、高アスペクト比の開口部やアスペクト比の異なる開口部が混在している場合でも、接合リークのない低抵抗なコンタクトが形成できる。

【図面の簡単な説明】

【図1】本発明第1の実施例における半導体装置の断面

図

【図2】本発明第1の実施例における半導体装置の断面図

【図3】本発明第2の実施例における半導体装置の製造方法を示す工程断面図

【図4】本発明第2の実施例における半導体装置の断面図

【図5】本発明第3の実施例における半導体装置の製造方法を示す工程断面図

【図6】本発明第4の実施例における半導体装置の断面図

【図7】従来の半導体装置の製造方法を示す工程断面図

【図8】従来の半導体装置の断面図

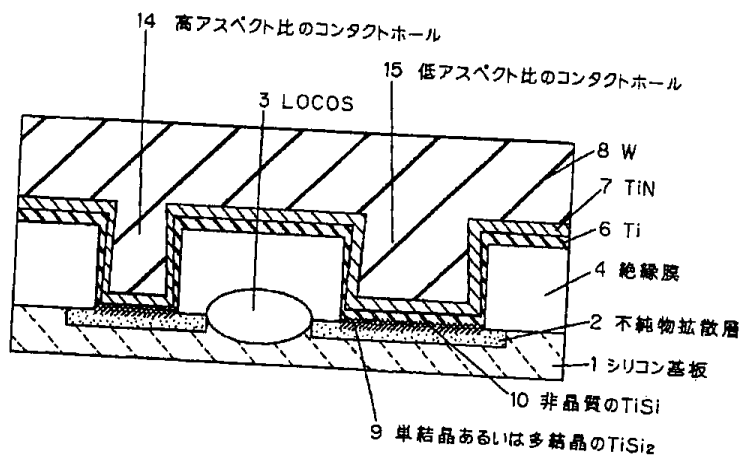
【図9】従来の半導体装置の断面図

【図10】従来の技術により形成されたコンタクトの開口部径とコンタクト抵抗の関係を示す図

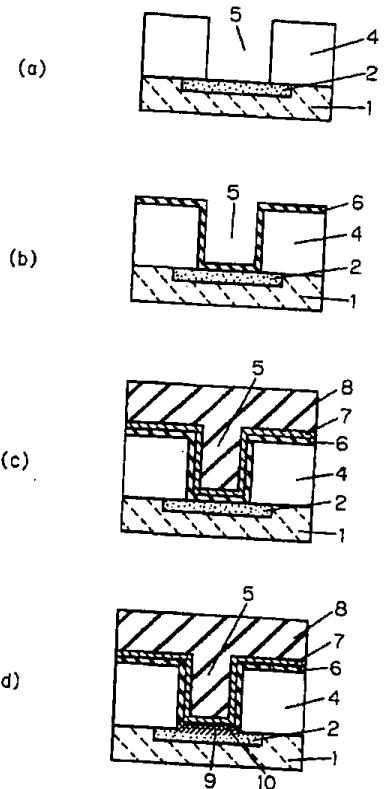
【符号の説明】

- 1 シリコン基板
- 2 不純物拡散層
- 3 LOCOS
- 4 絶縁膜
- 5 開口部
- 6 チタン (Ti)
- 7 窒化チタン (TiN)
- 8 タングステン (W)
- 9 単結晶もしくは多結晶のチタンダイシリサイド (TiSi<sub>2</sub>)
- 10 非晶質のチタンシリサイド (TiSi)
- 11 凝集したチタンダイシリサイド (TiSi<sub>2</sub>)
- 12 アルミニウム配線
- 14 高アスペクト比の開口部
- 15 低アスペクト比の開口部
- 16 開口部
- 17 開口部

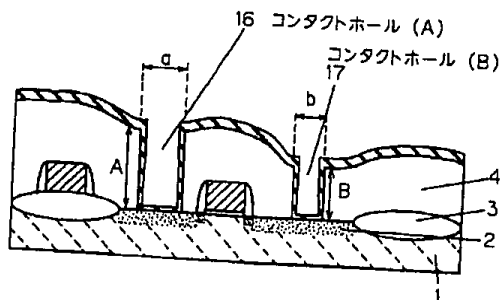
【図1】



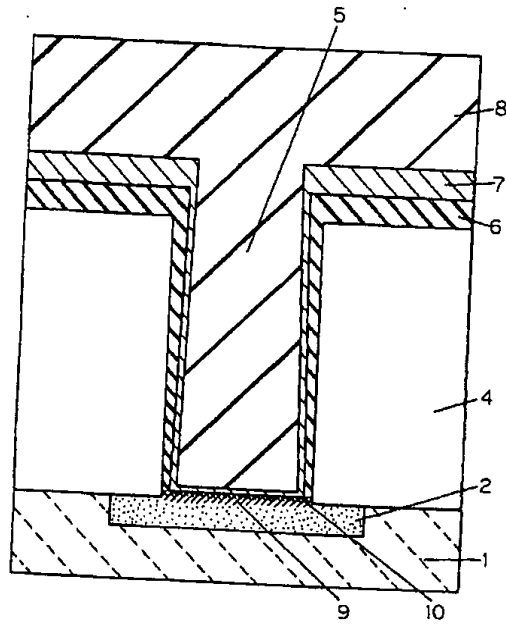
【図3】



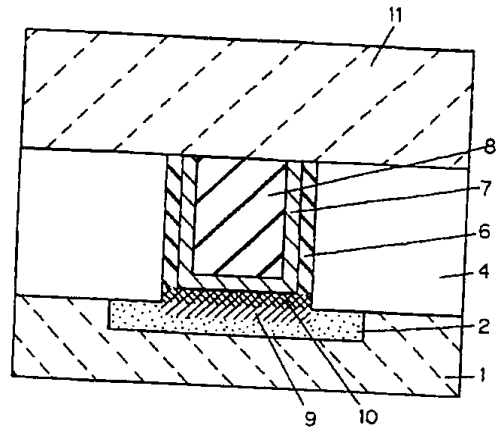
【図6】



【圖2】



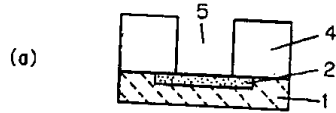
【圖4】



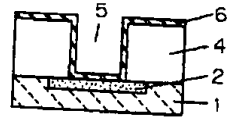
【圖8】

(a) 熱處理前

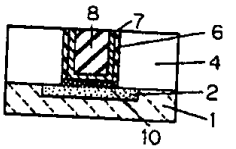
【圖5】



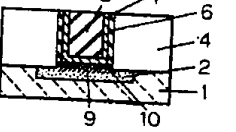
(a)



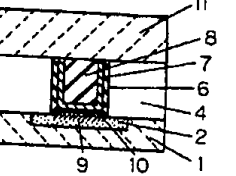
(b)



(c)

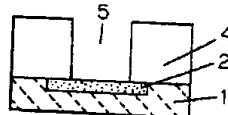


(d)

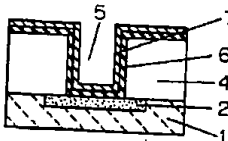


(e)

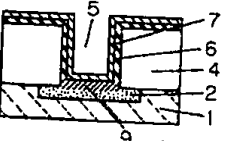
【圖7】



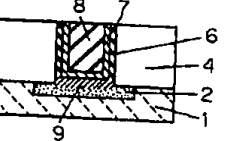
(a)



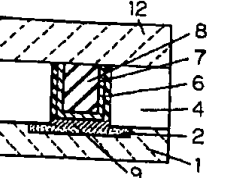
(b)



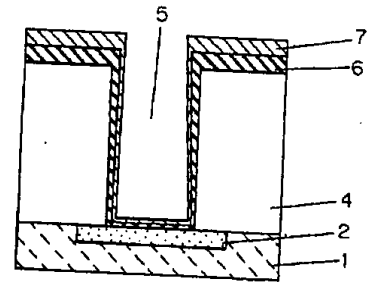
(c)



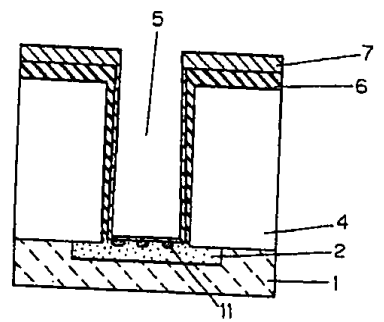
(d)



(e)



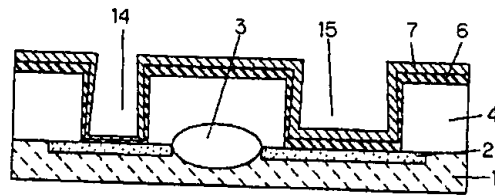
(b) 熱處理後



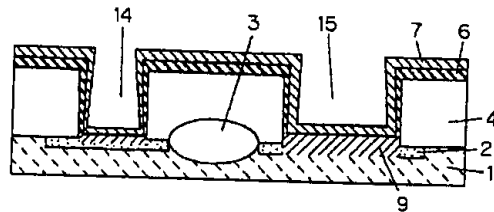


【図9】

(a) 熱処理前

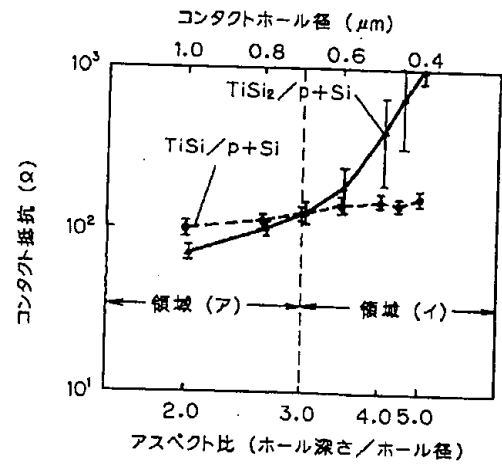


(b) 熱処理後



【図10】

p+不純物拡散層に対するコンタクト抵抗



フロントページの続き

(72)発明者 原田 剛史  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内